

電圧形及び電流制御形を併用した 複数台インバータシステムの解列再投入法

青木 優作* 近藤 正示 (長岡技術科学大学)

Parallel Off and Reclosing Method of Multiple Inverter System
using Voltage-controller and Current-controller
Yuusaku Aoki* and Seiji Kondo (Nagaoka University of Technology)

Recently, multiple inverters system is used to increase reliability and capacity of power sources. The following problems arise in parallel-off and reclosing of multiple inverter system, i.e. voltage surge and arc discharge by breaking current level at parallel-off, current surge by output voltage difference at reclosing, error of order timing by operation delay time of relay switch. To solve these problems, this paper proposes a control method. Main circuit gate block is used by zero-cross of output current at parallel-off. And, remaining voltage in output filter is regenerated to bc power source by boost converter operation. Output voltage difference is reduced using auxiliary switch at reclosing. The validity of proposed method was verified by simulation and experimental results.

キーワード：複数台インバータ，解列制御，再投入制御，回生制御
(multiple inverter, parallel off control, reclosing control, regenerative control)

1. はじめに

近年，電源の信頼性向上や大容量化に対する需要のために，複数台の電源(インバータ)を接続した並列冗長運転が行われている⁽¹⁾。このような複数台インバータシステムにおいて，各インバータの交流出力を連係させるリレーの解列再投入時における問題点がある。(1) 解列時，遮断電流レベルに応じて電圧サージまたはアーク放電が発生する。(2) 再投入時，出力電位差に応じて電流サージが発生する。(3) リレー(機械スイッチ)の動作遅延によって，解列再投入の指令タイミングに誤差が生じ，上記(1)または(2)の問題を誘発する。

本稿では，これら解列再投入時の問題を解決するための制御法を提案した。電圧及び電流制御形複数台システム⁽²⁾⁽³⁾において提案する制御法は次の特徴を有する。(1) 解列指令入力時，リレー動作遅延期間中において，主回路のゲートブロックを行う。(2) 再投入指令入力時，予めリレースイッチと並列に接続しておいた補助スイッチを一定時間動作させる。(3) 解列後，電圧ゼロクロスから再投入を行うため，主回路昇圧チョップ動作を用いて出力フィルタに残存した電圧を直流リンクへ回生する。検証によって良好な結果を得たので報告する。

2. インバータの解列再投入問題

〈2・1〉 解列時問題－電圧サージ及びアーク放電

インバータをシステムから切り離す解列時における出力フィルタを図1に示す。このとき，遮断した出力電流レベルに応じて，電圧サージ及びリレースイッチ接点にアーク放電が発生する。電圧サージは負荷に印加する電圧波形を歪ませ，アーク放電はリレー接点の寿命を縮めるため問題となる。このため，出力電流ゼロクロス付近で解列する必要がある。

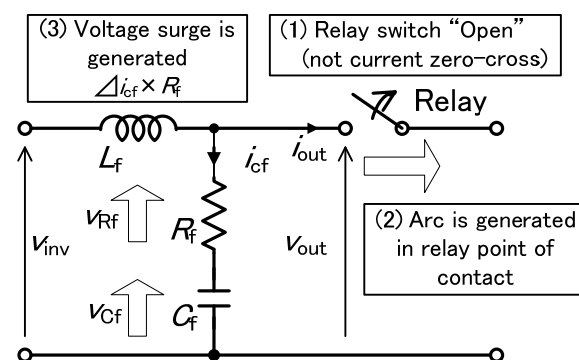


図1 解列時の出力フィルタ
Fig.1. Output filter at parallel-off

〈2.2〉 再投入時問題－電流サージ

インバータのリレー再投入時、復帰するインバータと他のインバータとの出力電位差があるとき、他インバータの出力電流がゼロならば図2に示す点線の経路で電流サージが発生する。電流サージは結果として負荷に供給する電流波形を歪ませるため問題となる。このため、電源間の出力電位差をできるだけ小さくして再投入する必要がある。電流サージは次式より求まる。

$$i_{\text{sug}} = \frac{v_{\text{dif}}}{2R_f} \dots \dots \dots (1)$$

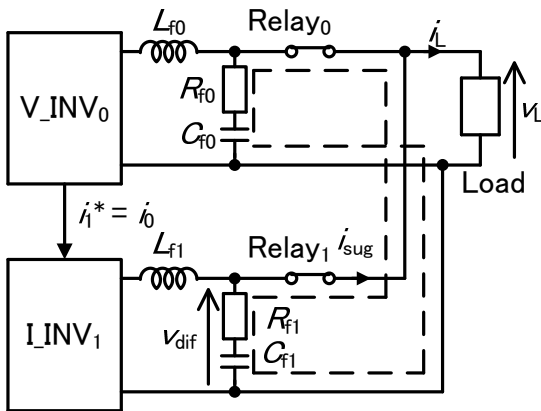


図2 再投入時の電流サージ経路
Fig.2. Current surge route at reclosing

〈2.3〉 リレー動作遅延問題

リレーの物理的な構造によって、リレーへ開閉信号を指令してから実際に動作するまで遅延が生ずる。この遅延時間は解列再投入タイミングの誤差につながり、この誤差は〈2.1〉や〈2.2〉で述べた電圧サージ、アーク放電、電流サージを発生させる原因となる。このため、リレー遅延時間に対する対策が必要となる。

リレー遅延時間の分布を調べるため実験で用いるリレーの開閉試験を行った。2つのリレーについてそれぞれ100回ずつ開閉したときの遅延時間を調査した。試験リレーの規格を表1、開閉試験の結果を図3及び図4に示す。これによれば、リレーの遅延時間は、“Open”時その平均値は公称値の1[ms]以内となった。一方、“Close”時その平均値は公称値の2[ms]以内となった。“Open”時と“Close”時で遅延の傾向が変化することがわかる。これは“Close”時バウンスが現れるが、“Open”時にはバウンスが現れないため、その影響の差によるものと考えられる。そして、リレー遅延時間の分布は個体差があることがわかる。また、この遅延分布の傾向は経時変化によっても変わっていくであろうと推測される。このため、リレー遅延時間の分布に対しても考慮する必要がある。

表1 試験リレーの規格

Table 1. Specification of examination relay

Manufacture	tyco
Model number	RM805012
Contact material	AgCdO
Rated coil voltage [V]	12
Rated coil current [A]	0.1
Operated / release time [ms]	15
Bounce time [ms]	3
Maximum breaking capacity	6000
Mechanical endurance [cycle]	2×10^7

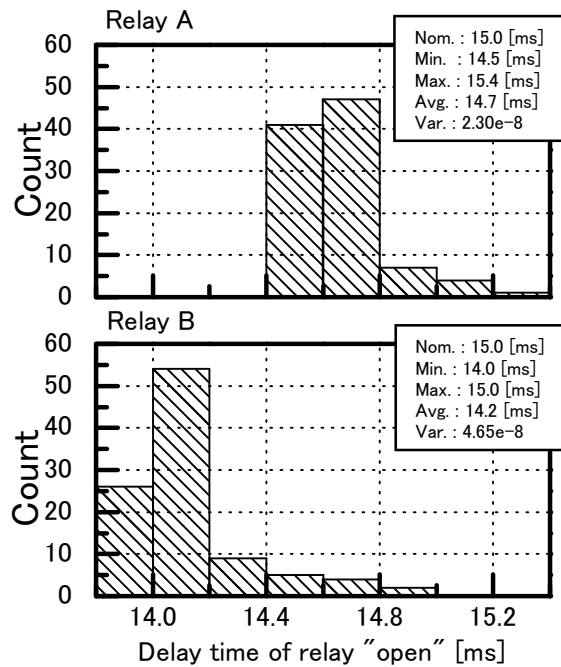


図3 リレー“開”の遅延時間分布
Fig.3. Distribution at delay time of relay “Open”

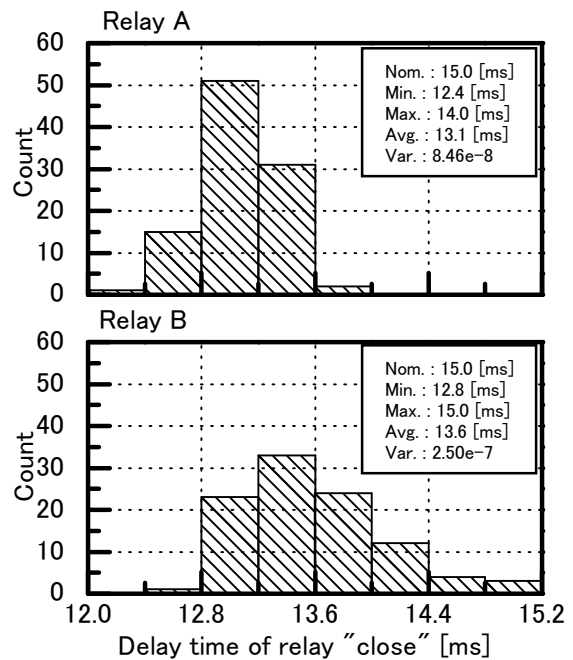


図4 リレー“閉”の遅延時間分布
Fig.4. Distribution at delay time of relay “Close”

3. 解列再投入制御法

〈3・1〉 解列時—主回路ゲートロック

解列指令時、リレーへ“開”信号を入力し実際にリレーが開くまでの間、主回路をゲートロックする。この期間、図5に示すように解列するインバータの出力フィルタ抵抗とコンデンサが負荷に対して並列に接続されるため、出力電流が歪むと考えられる。しかし、これによりほぼ出力電流ゼロクロスでインバータを解列することができる。このとき、解列したタイミングに応じて出力フィルタに電圧が残存する。この処理については次章(4章)で述べる。

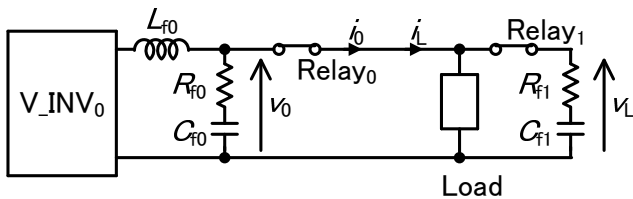


図5 主回路ゲートブロック期間の回路
Fig.5. Circuit at main circuit gate block period

〈3・2〉 再投入時—補助スイッチ

予め、リレーと並列に補助スイッチ（例えば、MOSFETなどの半導体スイッチ）を接続しておく。図6に示すように、再投入指令時では、リレーへ“閉”信号を入力すると同時に補助スイッチにも信号を入力し、補助スイッチを閉じる。そして、実際にリレーが閉じたあと補助スイッチを開く。半導体スイッチはターンオン時間がリレーよりも早い、オン抵抗が大きいので一定時間の動作としている。これによりリレー遅延時間の指令タイミング誤差による出力電位差を小さくし、電流サージを抑えることができる。

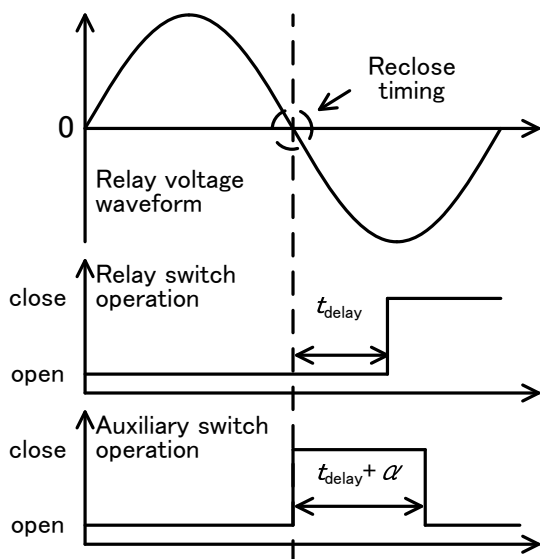


図6 再投入時の補助スイッチ動作
Fig.6. Auxiliary switch operation at reclosing

4. 解列時の残電圧処理

〈4・1〉 回生チョップモード

解列時出力フィルタに電圧が残存していた場合、出力電圧ゼロクロスで再投入できるように主回路を昇圧チョップ動作によって直流リンクへ回生させる。

出力フィルタコンデンサについて矢印の向きに電圧が残存していた場合の回生チョップ動作を図7に示す。この場合、主回路スイッチを次のように制御して回生動作を行う。

- sw₁ : 常に“open” (OFF)
- sw₂ : 周期的に“close” 及び“open” (ON / OFF)
- sw₃ : 常に“open” (OFF)
- sw₄ : 常に“close” (ON)

このとき、sw₂の開閉は以下を意味する。

- sw₂ : “close” → C_fのエネルギーをL_fへチャージ
- sw₂ : “open” → L_fにチャージしたエネルギーをDCリンクへ回生

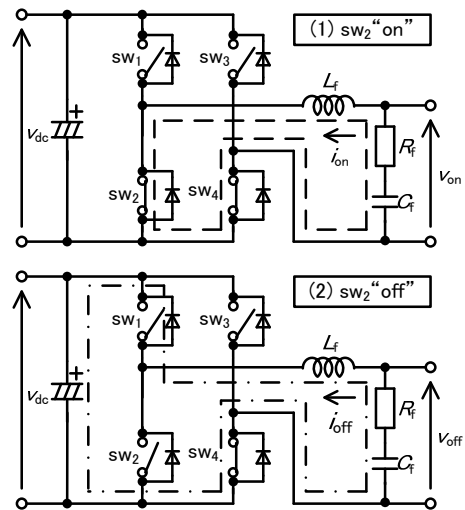


図7 回生チョップモード
Fig.7. Resurrection Choppa mode

〈4・2〉 sw₂ : “close”時の解析

昇圧チョップ動作を解析するため、sw₂の開閉時における電荷及び電流の微分方程式を解く。まず、sw₂ “close”時について図8(a)のように考える。この時の電圧電流方程式は次式で与えられる。ここで、初期電荷q₀、出力フィルタインダクタンスL_f、抵抗R_f、コンデンサC_f、“close”時電流i_{on}、“close”時電荷q_{on}、“close”時間t_{on}とする。

$$L_f \frac{di_{on}}{dt} + R_f i_{on} + \frac{1}{C_f} \int i_{on} dt = 0 \dots\dots\dots(2)$$

出力フィルタパラメータが $R_f < 2\sqrt{\frac{L_f}{C_f}}$ の関係であるとき、

その電荷及び電流式は最終的に次式となる。

$$q_{on} = q_0 \cdot \varepsilon^{-\alpha t_{on}} \left(\cos \beta t_{on} + \frac{\alpha}{\beta} \sin \beta t_{on} \right) \dots\dots\dots(3)$$

$$i_{on} = -\frac{(\alpha^2 + \beta^2)}{\beta} q_0 \cdot \varepsilon^{-\alpha t_{on}} \sin \beta t_{on} \dots \dots \dots (4)$$

但し、 $\alpha = \frac{R_f}{2L_f}$, $\beta = \sqrt{\frac{1}{L_f C_f} - \left(\frac{R_f}{2L_f}\right)^2}$

〈4・3〉 sw₂：“open”時の解析

次に、sw₂ “open”時について図 8(b)のように考える。この時の電圧電流方程式は次式で与えられる。ここで、直流リンク電圧v_{dc}，“open”時電流i_{off}，“open”時電荷q_{off}，“open”時間t_{off}とする。

$$L_f \frac{di_{off}}{dt} + R_f i_{off} + \frac{1}{C_f} \int i_{off} dt = -v_{dc} \dots \dots \dots (5)$$

先ほどと同様に出力フィルタパラメータが $R_f < 2\sqrt{\frac{L_f}{C_f}}$ の関係であるとき、その電荷及び電流式は最終的に次式となる。

$$q_{off} = \varepsilon^{-\alpha t_{off}} \left\{ \frac{(q_{on} + c_f v_{dc}) \cos \beta t_{off}}{\beta} + \frac{i_{on} + \alpha(q_{on} + c_f v_{dc})}{\beta} \sin \beta t_{off} \right\} - c_f v_{dc} \dots \dots (6)$$

$$i_{off} = \varepsilon^{-\alpha t_{off}} \left\{ \frac{i_{on} \cos \beta t_{off}}{\beta} - \frac{\alpha i_{on} + (\alpha^2 + \beta^2)(q_{on} + c_f v_{dc})}{\beta} \sin \beta t_{off} \right\} \dots \dots (7)$$

以上より、sw₂開閉時の電荷及び電流式を求めた。式(3)及び式(4)、式(6)及び式(7)はt_{on}及びt_{off}の設定によって図9のような波形を描く。このとき、出力フィルタC_fに残存している電圧に応じてt_{on}及びt_{off}を適切に定める必要がある。例えばC_fにチャージされているエネルギーの大きさに対してt_{on}を長くとりすぎたとする(L_f過充電)。このとき、sw₂ “open”時にsw₂の(主回路IGBT) 寄生ダイオードを通して、電流の向きが逆になる可能性がある。これは、図 8(c)のようにC_fに電荷が再チャージされることを意味し、回生が完了しない原因となる。故に、残電圧を出さずに回生を完了させるためにt_{on}及びt_{off}を定める必要がある。

〈4・4〉 昇圧チョップパ波形の生成

前節で出力フィルタに残った電圧に応じてt_{on}及びt_{off}を定める必要があることを述べた。しかしながら、実機への実装を考えたときにこの制御回路が複雑になると考えられる。そこで、回生チョップパモードの制御系を簡単化するための検討を行う。例えば、出力フィルタパラメータv_{dc} = 50 [V], L_f = 3 [mH], C_f = 3.3 [μF], R_f = 5 [Ω]の時、設定すべきt_{on}及びt_{off}の関係は、総当たり計算によって調べたところ図 10 となった。これによれば、今回の出力フィルタパラメータと直流リンク電圧の関係では、出力フィルタの残電圧の変化に対してt_{on}の変化が緩やかであることがわかる。従って、制御の簡単化のためにチョップパ波形を固定値とし、v_{dc} = 50 [V]時のt_{on} = 0.12 [ms], t_{off} = 0.08 [ms]を採用する。これにより、f_{chop} = 5.08 [kHz], duty = 0.58 でチョップパ動作を繰り返す、解列時のエネルギー回生を行う。

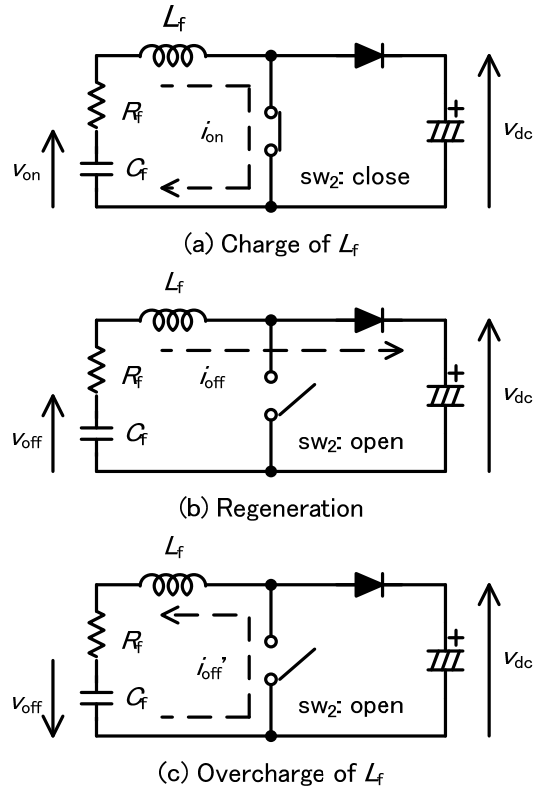


図 8 簡単化した回生チョップパの回路
Fig.8. Simplification circuit of regeneration choppa

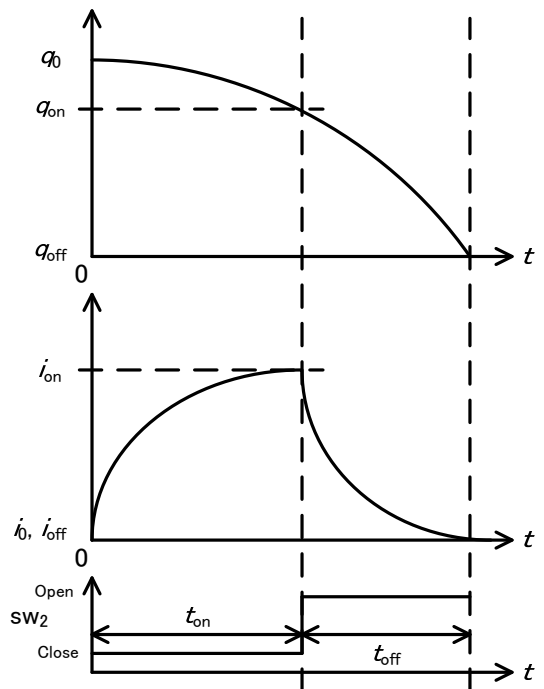


図 9 sw₂開閉時の電荷及び電流波形 (非振動的な回生)
Fig.9. charge and current waveform at switching of sw₂
(not vibrationally regeneration)

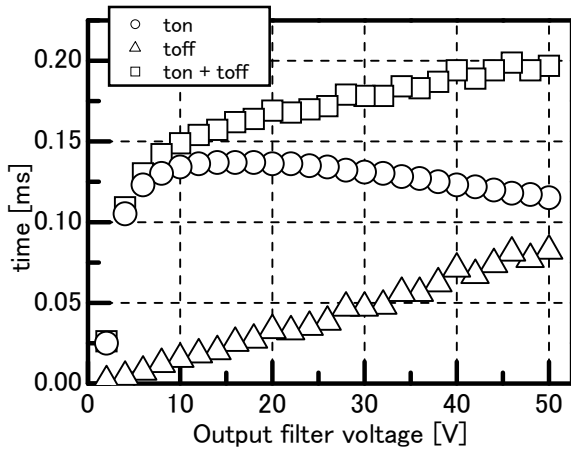


図 10 残存電圧とチョップ ON/OFF 時間の関係
 $(v_{dc} = 50 [V], L_f = 3 [mH], C_f = 3.3 [\mu F], R_f = 5 [\Omega])$
 Fig.10. Relation between remaining voltage and
 Choppa ON/OFF time $(v_{dc} = 50 [V], L_f = 3 [mH],$
 $C_f = 3.3 [\mu F], R_f = 5 [\Omega])$

5. シミュレーション及び実験結果

〈5・1〉 シミュレーション及び実験条件

提案法を検証するため、電圧制御形及び電流制御形インバータを 1 台ずつ接続した 2 台の複数台インバータシステムにおいて、解列再投入のシミュレーション及び実験を行う。表 2 に検証条件を示す。リレースイッチについては表 1 のものを用いる。実機で用いた補助スイッチは、パワー MOSFET の半導体スイッチ(2SK3911)を双方向に繋いで構成した。

表 2 検証条件

Table 2. Assumption of validation

Item	V_INV0	I_INV1
Inverter capacity S [kVA]	0.17	
DC link voltage v_{DC} [V]	50	
Rated current i [A]	3.3	
$V_INV \cdot I_INV$ P gain K_p	100	
V_INV reference v_0^* [V]	30	-
Carrier frequency f_{car} [kHz]	16.0	
Cutoff frequency f_{cut} [kHz]	1.60	
Load resistance R [Ω]	15	
LC filter L_f [mH]	3.00	
LC filter C_f [μF]	3.30	
LCfilter R_f [Ω]	5	
Acceptable value of voltage v_{dif} [V]	1	
Chop frequency f_{chop} [kHz]	5.03	
Chop duty	0.56	

〈5・2〉 シミュレーション結果

シミュレーションの結果を図 11 に示す。これによれば、解列時、 $i_1 = 0.1 [A]$ で遮断し、電圧サージ $v_{sug} = 0.2 [V]$ となった。このとき、出力フィルタには電圧が 41 [V] 残り、これを再生するための時間は、動作周期 20 [ms] に対して $t_{reg} = 0.62 [ms]$ であった。再投入時、出力電位差 $v_{dif} = 0.63 [V]$ で復帰し、電流サージ $i_{sug} = 0.06 [A]$ となった。

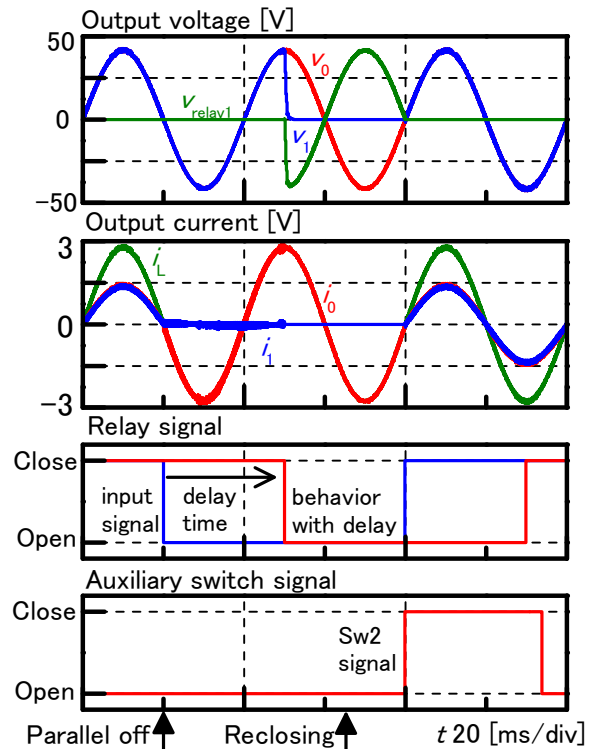


図 11 解列再投入のシミュレーション結果

Fig.11. Simulation result of parallel-off and reclosing

〈5・3〉 実験結果

実験結果について、解列時を図 12 に、再投入時を図 13 に示す。これによれば、解列時、 $i_1 = 0.94 [A]$ で遮断し、電圧サージ $v_{sug} = 0.78 [V]$ となった。このとき、出力フィルタには電圧が 40 [V] 残り、これを再生するための時間は、動作周期 20 [ms] に対して $t_{reg} = 0.28 [ms]$ であった。再投入時、出力電位差 $v_{dif} = 0.78 [V]$ で復帰し、電流サージ $i_{sug} = 0.49 [A]$ となった。これら電圧サージ及び電流サージは定格出力電圧及び電流に比べて十分に小さい。

以上、シミュレーション及び実験結果を表 3 にまとめてみると、実験結果はシミュレーションの結果とほぼ一致している。従って、実験は妥当の結果を得たといえる。解列再投入制御によってリレーの遅延時間の影響を低減し、解列再投入時の電圧サージ及び電流サージ抑制されることを実験によって確認した。

表3 検証結果まとめ

Table 3. Arrangement of validation result

		Simulation	experiment
Parallel off	Breaking current i_1 [A]	0.1	0.94
	Voltage surge v_{sug} [V]	0.2	0.78
	Remainder voltage v_{rem} [V]	41	40
	regenerative time t_{reg} [ms]	0.62	0.28
Reclosing	Voltage difference v_{dif} [V]	0.63	0.78
	Current surge i_{sug} [A]	0.06	0.49

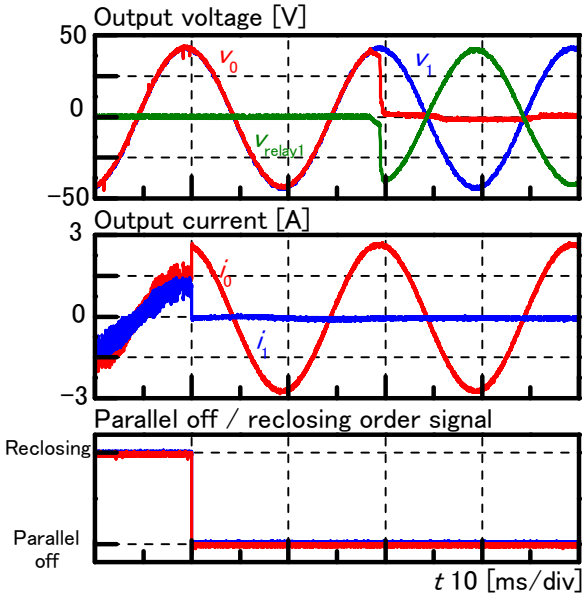


図12 解列時の実験波形

Fig.12. Experimental result of parallel-off

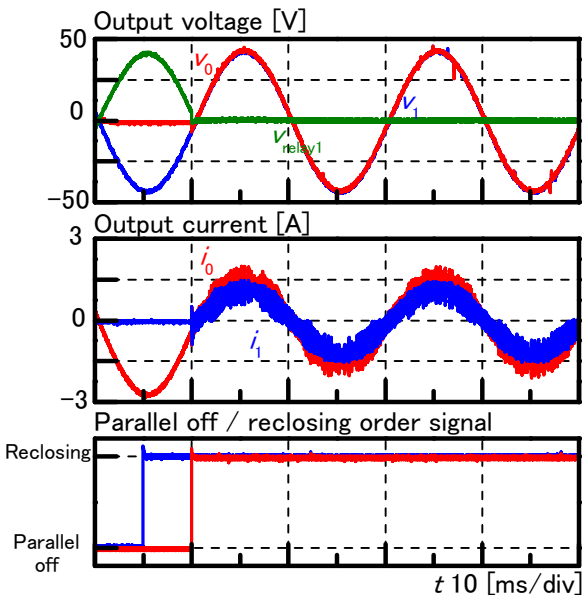


図13 再投入時の実験波形

Fig.13. Experimental result of reclosing

5. まとめ

本稿では、電圧制御形及び電流制御形を併用した複数台インバータシステムにおいて、解列再投入時の問題点に着目した。解列時遮断電流レベルによる電圧サージ及びアーク放電、再投入時出力電位差による電流サージ、またリレー遅延時間による指令タイミング誤差が問題となるため、それを解決する手法を提案した。提案法は、主回路ゲートブロック、補助スイッチ、回生チョッパモードの特徴を有する。

実機検証の結果、解列時、 $i_1 = 0.94$ [A]で遮断し、電圧サージ $v_{sug} = 0.78$ [mV]となった。このとき、出力フィルタには電圧が40 [V]残り、これを回生するための時間は、動作周期20 [ms]に対して $t_{res} = 0.28$ [ms]であった。再投入時、出力電位差 $v_{dif} = 0.78$ [V]で復帰し、電流サージ $i_{sug} = 0.49$ [A]となった。これはシミュレーションの結果とほぼ一致するため、妥当な結果を得たといえる。

以上より、提案法を用いることによって、リレー遅延時間の影響を抑えて電流ゼロクロス付近で解列、出力電位差小さく再投入できることを確認した。その結果、電圧サージ及び電流サージを抑制されることを確認した。

文 献

- (1) Stefano Saggini, Massimo Ghioni, and Angelo Geraci, "An Innovative Digital Control Architecture for Low-Voltage, High-Current DC-DC Converters with Tight Voltage Regulation," IEEE Trans. Power Electron., vol. 19, no.1, pp. 210-218, Jan 2004
- (2) M.Watase and S. Kondo : "Research on Control Method for Combination System of One Voltage-controlled Inverter and Several Current-controlled Inverter", *The Papers of Technical Meeting on Semiconductor Power Conversion, IEE Japan, SPC-07-3*, pp.13-18 (2007)
渡瀬睦巳・近藤正示：「電圧形および電流形制御を複合したインバータの並列運転に関する研究」, 電気学会半導体電力変換研究会資料, SPC-07-3, pp.13-18 (2007)
- (3) Y.Aoki and S. Kondo : "A Study on Separation and Reclosing Method for Parallel Operation Inverter System", *JIASC' 2008*, vol.1, pp.355-356 (2008)
青木優作・近藤正示：「並列運転インバータシステムの解列・再投入法に関する検討」, 平成 20 電気学会産業応用部門大会, vol.1, pp.355-356 (2008)