

# 回生パッシブスナバと SJ-MOSFET を併用した NPC インバータ

五十嵐 友一\* 近藤 正示 (長岡技術科学大学)

## NPC Inverter with Regenerative Passive Snubber and SJ-MOSFET

Tomokazu Ikarashi\*, Seiji Kondo, (Nagaoka University of Technology)

This paper describes a NPC inverter with a regenerative passive snubber and SJ-MOSFET. The regenerative passive snubber is based on PSSS<sup>(1)</sup> and Undeland snubber<sup>(2)</sup>. The snubber achieves soft-switching and energy regeneration with only passive components. SJ-MOSFET has fast switching speed, does not have junction voltage drop at near zero current and tail current at turn-off. But reverse-recovery characteristic of its body diode is not good. SJ-MOSFET is employed at the middle-switches in the NPC inverter. If output voltage of the NPC inverter is changed by one level, the middle-switches does not occur reverse-recovery from the free wheeling condition. Experimental results of a 3-kW mini-model prototype are presented to demonstrate the validity of the NPC inverter.

キーワード：NPC インバータ, SJ-MOSFET, 回生パッシブスナバ, PSSS, Undeland スナバ  
(NPC inverter, SJ-MOSFET, Regenerative passive snubber, PSSS, Undeland snubber)

### 1. まえがき

IGBT, パワーMOSFET といったパワーデバイスの高性能化により, 電力変換器の高効率化, スイッチング周波数の高周波化が進んでいる。近年では, スーパージャンクション構造により, これまでのパワーMOSFET の限界を打破した高耐圧, 低オン抵抗の SJ-MOSFET (以下 SJ-M) が開発され, 実用化が進んでいる<sup>(11)(12)</sup>。SJ-M は, 高速なスイッチングが可能で, IGBT のようなゼロ電流付近での順電圧降下 (PN 接合電圧) やターンオフでのテール電流が発生しない。しかし, 寄生ダイオードの逆回復特性が良くないため, 逆回復の伴う用途においては適用が困難であった。また, これらパワーデバイスのスイッチング高速化による高  $dv/dt$ ,  $di/dt$  に起因する EMI ノイズ, 誤動作, サージ電圧といった問題が顕著となっている。この対策として, さまざまなソフトスイッチング技術が開発されている<sup>(1)~(9)</sup>。

本論文では, 高効率なソフトスイッチング NPC インバータを実現することを目的に, 図 1 に示す回生パッシブスナバと SJ-M を併用した回路構成を検討する。検討回路で適用する回生パッシブスナバは, パッシブ素子のみの構成で, ソフトスイッチング動作, 回生動作が可能なることに特徴がある。著者らは先に図 3 に示す PSSS<sup>(1)</sup> に基づいた NPC インバータスナバが適用可能であることを, シミュレーションより確認している<sup>(9)</sup>。しかし, 図 3 のスナバは三相 NPC インバータにおいて, 各相に回生回路が必要であった。そこで, 回生回路を三相共通にするために Undeland スナバ<sup>(2)</sup>を

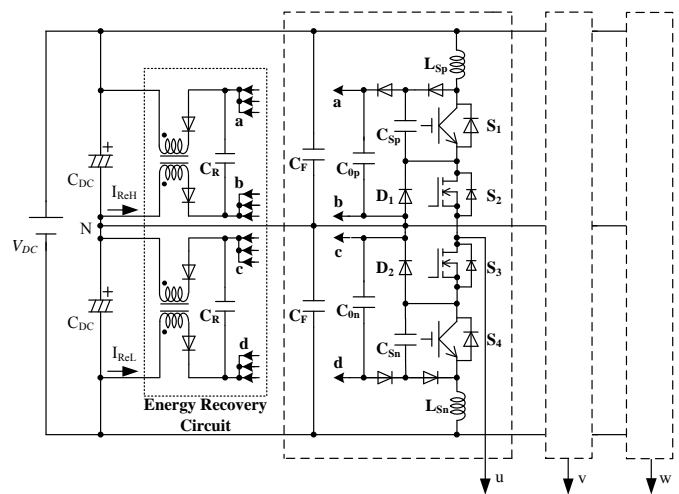


図 1 回生パッシブスナバと SJ-MOSFET を併用した NPC インバータ

Fig. 1. NPC inverter with regenerative passive snubber and SJ-MOSFET.

組み合わせた図 1 のスナバ構成を検討する。また, NPC インバータにおいて, 出力電圧を 1 レベルずつ変化させていけば, 中間スイッチでは還流動作からの逆回復を生じない。そこで, 中間スイッチに SJ-M を適用することにより導通損失, スイッチング損失の低減を図る。そして, 研究室レベル 3kW のミニモデルを用いた実験検証により, 検討回路の妥当性を明らかにする。

## 2. 回路構成, 動作

### (2.1) 回路構成

図1に回生パッシブスナバとSJ-Mを併用したNPCインバータを示す。本スナバは、各相に接続されたスナバインダクタンス  $L_S$  ( $L_{Sp}$ ,  $L_{Sn}$ ), スナバコンデンサ  $C_S$  ( $C_{Sp}$ ,  $C_{Sn}$ ), クランプコンデンサ  $C_0$  ( $C_{0p}$ ,  $C_{0n}$ ), ダイオードからなる抵抗のない Undeland スナバと上下 DC リンクコンデンサ  $C_{DC}$  に接続されたトランス, ダイオード, コンデンサ  $C_R$  からなる三相共通の回生回路により構成される。本スナバにおいて, 中性線の寄生インダクタンスは上下スナバの干渉を引き起こすため, 実装にはラミネートブスバーを使用し, 更にフィルタコンデンサ  $C_F$  を接続することで, この影響を小さくしている。なお, Undeland スナバはスナバインダクタンス  $L_S$  を三相で共通にできるが, 本回路では, この  $C_F$  を接続するため, 各相に  $L_S$  を接続する構成としている。

NPC インバータにおいて出力電圧を 1 レベルずつ変化させていけば, 中間スイッチ  $S_2$ ,  $S_3$  では還流動作からの逆回復を生じない。そこで, 中間スイッチ  $S_2$ ,  $S_3$  に SJ-M を適用し, 導通損失, スwitching 損失の低減を図る。この SJ-M には CoolMOS(infineon, IPW60R045CP, 650V/0.045Ω) を使用している。また, スwitch  $S_1$ ,  $S_4$  には IGBT(infineon, IKW50N60T, 600V/50A), クランプダイオード  $D_1$ ,  $D_2$  には ファストリカバリーダイオード FRD(IR, HFA50PA60CPbF, 600V/50A) を使用している。 $S_2$ ,  $S_3$  に IGBT を使用した場合と比較するため, 図2に SJ-M と IGBT, 還流ダイオード FWD の順方向特性を示す。順方向電流が 27A 以下では SJ-M の導通損失が小さいことが確認できる。後述の実験条件において負荷電流ピーク値は, 定格出力時でも 20A のため, 全出力において SJ-M は導通損失を低減できる。それに加え, SJ-M においては同期整流が行われるため, FWD の導通損失も低減可能となる。

### (2.2) 回路動作

本スナバでは, スwitching 動作によりスナバエネルギーがクランプコンデンサ  $C_0$  に回収され,  $C_0$  の電圧が  $V_{DC}/2$  より増加する。 $C_0$  の電圧が増加することで, 回生回路においては回生電流  $I_{ReH}$ ,  $I_{ReL}$  が流れ,  $C_0$  は再び  $V_{DC}/2$  にクランプされる。回生回路のトランスは, コモンモードチョーク

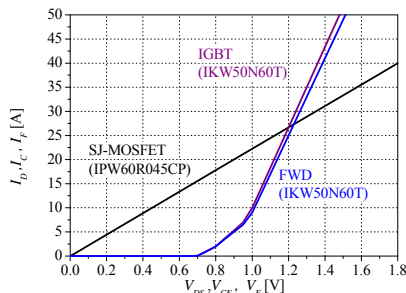


図2 順方向特性

Fig. 2. Forward characteristics.

のように接続され, 回生電流以外の循環電流を防ぐ働きをする。回生回路のダイオードは回生電流の方向を規定する。また, 図3の PSSS に基づいたスナバは, SSS のクランプコンデンサ  $C_0$  を三相共通にすると, スwitching による SSS での電位変動で, 他の相との干渉が起る。そのため, 回生回路は共通にできない。本スナバでは, 回生回路を三相共通にするため, Undeland スナバを適用する。これにより b, c 点電位が中性点電位 N となるため,  $C_0$  の電圧増加により a 点電位は上昇, d 点電位は下降する。この a, d 点電位変動は, 他の相との干渉を起こさないため, 回生回路を三相共通にすることが可能となる。

次に, 本スナバのソフトスitching 動作について説明する。図4, 5に動作モードを示す。説明の簡略化のため, 以下のことを仮定する。1) スwitch, ダイオードは理想デバイスとする。2) 寄生インダクタンス, 寄生容量の影響は無視する。3) 誘導性負荷を想定し, スwitching 期間の負荷電流  $I_{Load}$  は一定とする。4) クランプコンデンサ  $C_0$  はスナバコンデンサ  $C_S$  に比べ十分大きい容量とする。この条件より, スwitch  $S_2$ ,  $S_3$  及びクランプダイオード  $D_1$ ,  $D_2$  に作用するスナバコンデンサ容量  $C_S'$  を, 次式のように  $C_S$  と近似する。

$$C_S' = C_S \cdot C_0 / (C_S + C_0) \approx C_S \quad \because C_S \ll C_0 \dots\dots\dots(1)$$

スitch 状態は  $(S_1 S_2 S_3 S_4)$  で表し, 1 が ON, 0 が OFF の状態とする。左に  $t_d$  が付いているものはデッドタイム期間を意味する。コンデンサにおいて+の符号が付いているものは充電状態, 付いていないものは未充電状態とする。動作モードは, NPC インバータの出力電圧が 0 : (0110) と  $V_{DC}/2$  : (1100) の間で切り替わるとき(A), 0 と  $-V_{DC}/2$  : (0011) の間で切り替わるとき(B)について説明する。

(A) 出力電圧  $0 \rightarrow V_{DC}/2 \rightarrow 0$

(0110)  $\rightarrow t_d(0100) \rightarrow (1100) \rightarrow t_d(0100) \rightarrow (0110)$

**Mode 1** (0110),  $t_d(0100)$ ;  $I_{Load}$  が  $D_1$ ,  $S_2$  を流れる。

**Mode 2** (1100);  $S_1$  が ON し,  $L_{Sp}$  により  $di/dt = V_{DC}/(2L_S)$  で  $i_{S1}$  が増加し,  $i_{D1}$  が減少する。

**Mode 3** (1100);  $i_{S1}$  が  $I_{Load}$  に達し,  $i_{D1}$  が 0A となり  $D_1$  が OFF すると,  $C_{0p}$  を介して  $C_{Sp}$  が放電し  $L_{Sp}$  と共振周波数  $f_r$  で共振する。このモード期間の長さは  $1/(4f_r)$  で, モード終了時に,

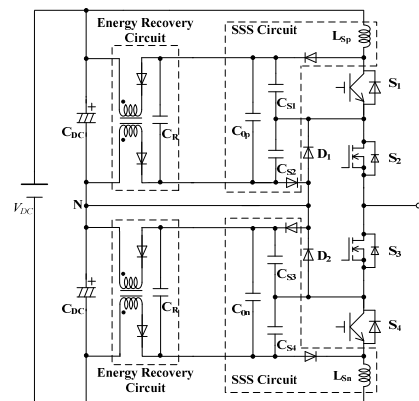


図3 PSSS に基づいた NPC インバータスナバ

Fig. 3. Snubber based on PSSS for NPC inverters.

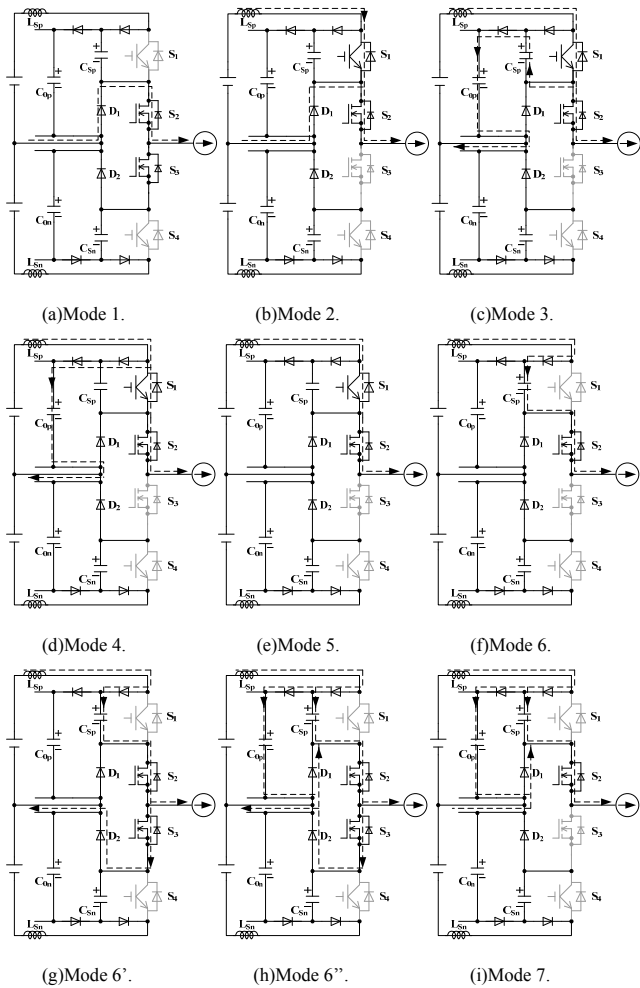


図4 動作モード(A)

Fig. 4. Operating modes (A).

$i_{S1}$  はピーク値  $I_{Load} + V_{DC} / (2Z)$  となる。ここで、共振周波数  $f_r$ 、特性インピーダンス  $Z$  は次式となる。

$$f_r = 1 / (2\pi\sqrt{C_S L_S}), Z = \sqrt{L_S / C_S} \dots\dots\dots (2)$$

**Mode 4** (1100) ;  $C_{Sp}$  の放電が完了し、 $C_{Op}$  の電圧が  $V_{DC} / 2$  より少し高くなるので、 $C_{Op}$  充電電流は減少し、 $i_{LSp}$  が  $I_{Load}$  になると Mode 5 に移行する。

**Mode 5** (1100) ;  $I_{Load}$  が  $S_1, S_2$  を流れる。

**Mode 6**  $t_d(0100)$ ;  $S_1$  が OFF し、 $I_{Load}$  により  $C_{Sp}$  が充電される。このとき  $S_1$  の電圧上昇が  $dv/dt = I_{Load} / C_S$  で制限される。これと補完的に  $v_{D1}$  が減少し、デッドタイム中に  $v_{D1}$  が 0V となり、 $D_1$  が導通すると Mode 7 へ移行する。

**Mode 6'** (0110) ; Mode 6 において、 $D_1$  が導通する前にデッドタイムが終了し、 $S_3$  が ON すると、上側電圧源より  $C_{Sp}$  に充電電流が流れる。そして、 $D_1$  が導通し、 $C_{Sp}$  の充電電流が  $I_{Load}$  より大きい場合は Mode 6'' へ、小さい場合は Mode 7 へ移行する。

**Mode 6''** (0110) ;  $C_{Sp}$  の充電電流が  $I_{Load}$  より大きいため、 $S_3$  を介して余分な電流が流れる。 $C_{Op}, C_{Sp}$  の電圧が  $V_{DC} / 2$  より少し高くなるので  $C_{Sp}$  の充電電流は減少し、 $I_{Load}$  より小さくなると、Mode 7 へ移行する。

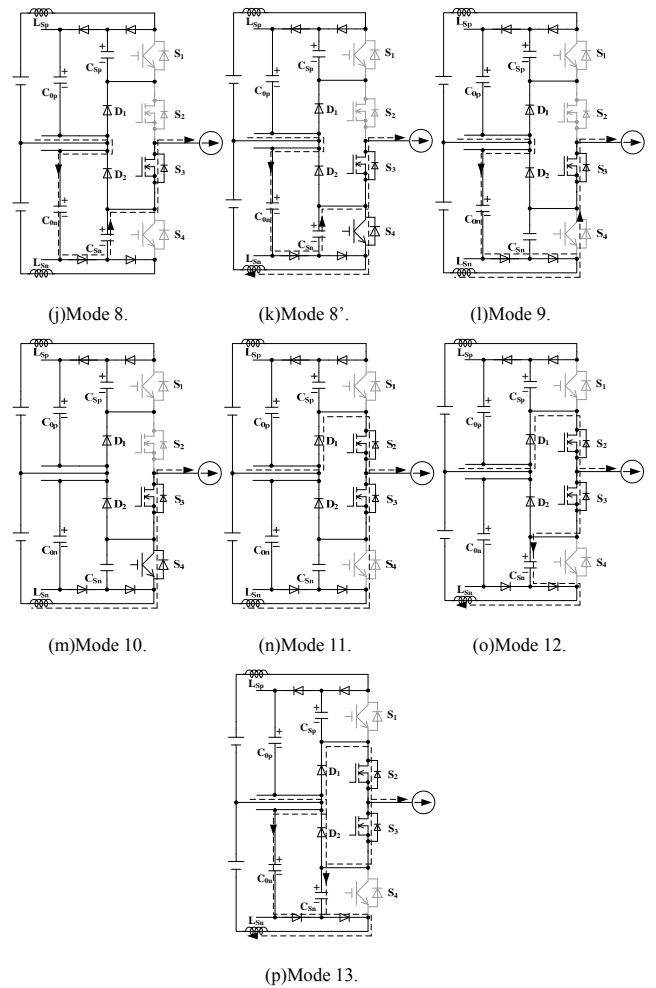


図5 動作モード(B)

Fig. 5. Operating modes (B).

**Mode 7**  $t_d(0100), (0110)$  ;  $D_1$  が導通し、 $C_{Op}, C_{Sp}$  の電圧が  $V_{DC} / 2$  より少し高くなるので、 $i_{LSp}$  は減少、中性線電流は増加する。中性線電流が  $I_{Load}$  に達すると、Mode 1 に移行する。

(B) 出力電圧  $0 \rightarrow -V_{DC} / 2 \rightarrow 0$

$(0110) \rightarrow t_d(0010) \rightarrow (0011) \rightarrow t_d(0010) \rightarrow (0110)$

**Mode 1** (0110) ; 先ほどと同じ。

**Mode 8**  $t_d(0010)$  ;  $S_2$  が OFF し、 $C_{On}$  を介して  $C_{Sn}$  が放電される。Mode 6 と似たモード。

**Mode 8'** (0011) ;  $C_{Sn}$  の放電が完了する前に  $S_4$  が ON した場合で、Mode 6' に似たモード。ただし、このモード後に Mode 6'' のようなモードには移行しない。

**Mode 9**  $t_d(0010), (0011)$  ;  $C_{Sn}$  が放電され  $S_4$  ダイオードが導通する。Mode 7 に似たモード。

**Mode 10** (0011),  $t_d(0010)$  ; 負荷電流が  $S_3, S_4$  ダイオードを流れる。このモードにおいて、 $S_3$  では同期整流が行われる。

**Mode 11** (0110) ;  $S_2$  が ON し、 $i_{S2}$  が増加し、 $i_{Lsn}$  が減少する。Mode 2 と似たモード。

**Mode 12** (0110) ;  $i_{S4}$  が 0A になり、 $S_4$  ダイオードが OFF すると、 $C_{Sn}$  と  $L_{Sn}$  が共振する。Mode 3 に似たモード。

**Mode 13** (0110) ;  $D_2$  が導通し、 $C_{On}, C_{Sn}$  の電圧が  $V_{DC} / 2$  より少し高くなるので、 $i_{Lsn}$  は減少し、Mode 1 に移行する。Mode

表 1. 回路定数

Table 1. Circuit parameters.

DC link voltage $V_{DC}$	280 V
DC link capacitor $C_{DC}$	4700 $\mu$ F
Snubber inductor $L_S$ ( $L_{Sp}$ , $L_{Sn}$ )	1.4 $\mu$ H
Snubber capacitor $C_S$ ( $C_{Sp}$ , $C_{Sn}$ )	10 nF
Clamp capacitor $C_o$ ( $C_{op}$ , $C_{on}$ )	150 nF
Energy recovery circuit capacitor $C_R$	220 nF
Filter capacitor $C_F$	470 nF
R-L Load	5 $\Omega$ , 10 mH
Output frequency $f_{out}$	50 Hz
Carrier frequency $f_c$	16 kHz

4に似たモードだが、 $C_{on}$ を充電する電流の一部が $S_3$ 、 $D_2$ を介して $S_2$ に流れる点が異なる。

負荷電流の向きが逆の場合の説明は省略する。また、これら動作モードから、 $S_2$ 、 $S_3$ では還流動作からの逆回復を生じないことがわかる。

### 3. 実験検証

図1の検討回路を研究室レベル3kWのミニモデルに実装し、実験検証を行った。表1に回路定数を示す。変調方式は、同位相キャリアによるユニポーラ変調を採用した。波形の測定にはデジタルオシロスコープ(Tektronix, TDS7404B)を使用し、電圧プローブ(Tektronix, P6139A)、差動プローブ(Tektronix, P5205)と電流プローブ(YOKOGAWA, 701932)を用いた。

#### (3.1) ハードスイッチング試験

SJ-Mを適用したNPCインバータのハードスイッチング試験を行った。この試験は、図1の回路におけるフィルタコンデンサ $C_F$ をクランプスナバとしてスイッチの間近に接続し、スナバ部品を除外した回路構成で実験を行った。

この試験において、 $S_1$ のターンオンにより、 $S_1$ - $S_2$ - $S_3$ - $D_2$ の経路で $S_3$ のSJ-Mの逆回復電流が発生することを確認した。同様に、 $S_4$ のターンオンでは $S_2$ の逆回復電流が発生した。図6に負荷開放試験( $V_{DC}=100V$ )における $S_1$ ターンオンでの $S_3$ 電圧、電流波形を示す。ここで、ゲート抵抗はすべて $24\Omega$ を選定している。 $S_1$ ターンオンにより $S_3$ では $i_{S3}$ が0Aの状態から逆回復電流が流れ、そのピーク値が14Aに達する様子が確認できる。その後、逆回復電流が急激に減少すると同時に、 $v_{S3}$ に240Vのサージ電圧が発生している。通常、このようなMOSFET寄生ダイオードが導通していない状態からであれば、逆回復の影響は、ほぼ無視できるとされている。しかし、この実験から、逆回復特性の悪いSJ-Mにおいては、その影響が無視できないといえる。試作機で選定したIPW60R045CPはSJ-Mの中でも、オン抵抗は低いが、逆回復特性は悪い素子である。また、ここで問題となるのは、この逆回復がハードリカバリーであるため、サージ電圧が大きくなることである。試作機は、耐圧600Vクラスの素子で構成されているが、研究室レベルのミニモデルとして $V_{DC}$ を280Vとしている。一般的にNPCインバータの素子耐圧は $V_{DC}$ 相当のものが用いられるため、ここでは素

子耐圧を300Vと仮定し、許容できるサージ電圧は、その80%である240V以下となるよう回路設計することが妥当と判断した。この逆回復によるサージ電圧対策として、逆回復特性の良いSJ-Mの再選定、 $S_1$ と $S_4$ ターンオンの $di/dt$ 制限が考えられる。逆回復特性の良いSJ-Mはオン抵抗が大きく、導通損失を低減するためには並列接続する素子数が増加する。そのため、ここではターンオン $di/dt$ を制限し、対策することとした。ハードスイッチングでは、ゲート抵抗によって $di/dt$ を制限する手法が知られており、この試験では $S_1$ と $S_4$ のターンオンゲート抵抗を $92\Omega$ とし、 $S_3$ と $S_2$ におけるサージ電圧を許容範囲に抑制した。ただし、ゲート抵抗を大きくすると、スイッチング損失、スイッチにおけるディレイ時間は増加する。また、 $S_1$ と $S_4$ のターンオフゲート抵抗やその他のゲート抵抗は $24\Omega$ とした。

図7にスイッチング波形を示す。ターンオフにおいて、図7(c)の $S_2$ のSJ-MはIGBTのようなテール電流が生じず、スイッチング損失が小さいことがわかる。図7(b)の $S_1$ ター

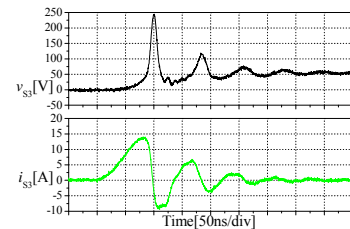


図 6  $S_1$  ターンオンによる  $S_3$  の逆回復 ( $V_{DC}=100V$ )  
Fig. 6. Reverse-recovery at  $S_3$  due to  $S_1$  turn-on ( $V_{DC}=100V$ ).

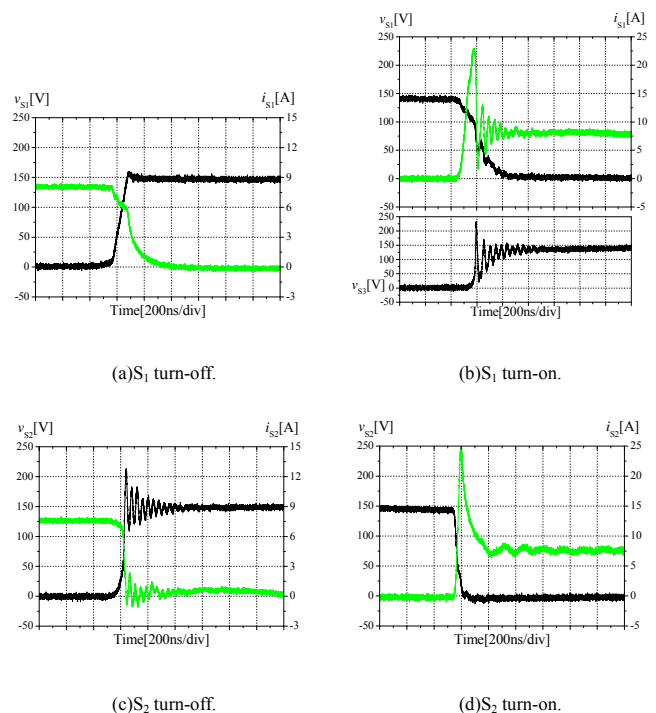


図 7 ハードスイッチング波形

Fig. 7. Hard-switching waveforms.

ンオンにおいて、 $v_{S3}$  のサージ電圧は許容範囲の 230V に抑制できていることが確認できる。しかし、 $S_1$  ではターンオンゲート抵抗が大きく、 $S_3$  の逆回復電流が発生する影響で、比較的大きなスイッチング損失が発生している。

### (3.2) ソフトスイッチング試験

図 1 に示す本スナバを適用した回路のソフトスイッチング試験を行った。前述のハードスイッチング試験では、SJ-M の逆回復によるサージ電圧を抑制するため、 $S_1$  と  $S_4$  のターンオンゲート抵抗には大きい抵抗値を選定し、 $di/dt$  を制限した。それに対して、この試験は、本スナバ適用によって、逆回復のサージ電圧を抑制する。すなわち、 $di/dt$  の制限は、スナバインダクタンス  $L_S$  によって行われる。そのため、この試験におけるゲート抵抗は、すべて  $24\Omega$  とした。また、スナバ定数は、 $di/dt = 100A/\mu s$ 、 $dv/dt = 2kV/\mu s$  以下となるよう設計した。

図 8 に出力電流  $i_w$ 、出力電圧  $v_{WN}$  とスイッチ電圧  $v_{S1}$ 、 $v_{S2}$  を示す。図 9 にスイッチング波形を示す。図 9(b), (d) の  $S_1$ 、 $S_2$  ターンオンにおいては、どちらもゼロ電流スイッチングが確認できる。 $S_1$  ターンオンでは本スナバ適用により  $di/dt \approx 100A/\mu s$  に制限され、 $S_3$  の逆回復によるサージ電圧が 220V の許容範囲に抑制できていることが確認できる。また、Undeland スナバにおいては  $S_1$  付近のスナバダイオードの順回復電圧に起因して、 $i_{S1}$  に見られるようなターンオン電流振動が発生する<sup>(3)</sup>。図 9(a) の  $S_1$  の IGBT ターンオフにおいては、テール電流の影響が残るものの、本スナバを適用したことによるソフトスイッチング動作が確認できる。図 9(c) の  $S_2$  の SJ-M ターンオフにおいては、テール電流を生じないゼロ電圧スイッチングが行われており、図 7(c) のハードスイッチングと比べサージ電圧ピーク値が減少していることが確認できる。図 10(a), (b) にそれぞれ上側、下側再生回路における再生電流  $i_{ReH}$ 、 $i_{ReL}$  を示す。 $S_1$ 、 $S_2$  のスイッチングによって回収されたスナバエネルギーがパルス電流として、再生されている様子が確認できる。なお、図 10(b) の  $i_{ReL}$  には、他の相からの再生電流も混同している。これら実験結果より、検討回路動作の妥当性が確認できる。

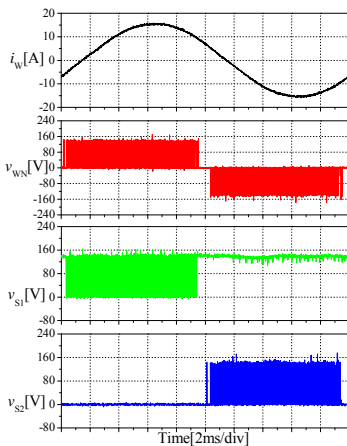


図 8 出力電流，出力電圧，スイッチ電圧

Fig. 8. Output current, output voltage and switch voltage.

### (3.3) 効率比較

図 11 に効率の測定結果を示す。電力測定にはプレジジョンパワーアナライザ(YOKOGAWA, WT3000)を使用した。ここでは、これまで述べてきた SJ-M を適用した回路のハードスイッチング(以下 HS)、ソフトスイッチング(以下 SS)の測定効率と併せて、IGBT のみで構成した回路の測定効率も示す。IGBT のみの回路では、SJ-M を適用した回路の HS で問題となった SJ-M の逆回復によるサージ電圧が発生しない。そのため、IGBT のみの回路におけるゲート抵抗は、すべて  $24\Omega$  として、HS と SS の実験を行った。

IGBT のみの回路と SJ-M を適用した回路の HS を比較すると、0.3~0.8 ポイント SJ-M を適用した回路の効率が上回っており、特に低出力での効率改善が顕著である。これは、ゼロ電流付近での順電圧降下がない SJ-M の順方向特性によって、導通損失が減少したためと考えられる。

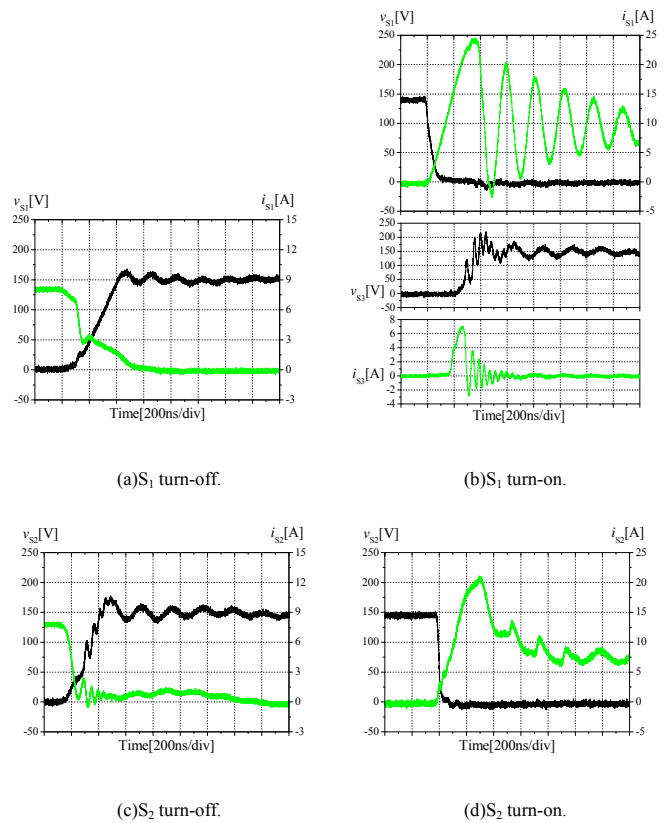
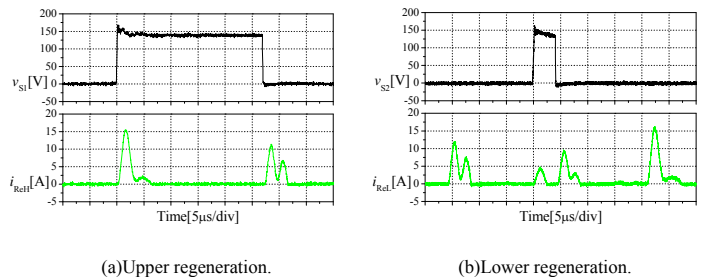


図 9 ソフトスイッチング波形

Fig. 9. Soft-switching waveforms.



(a)Upper regeneration.

(b)Lower regeneration.

図 10 回生動作

Fig. 10. Energy regeneration.



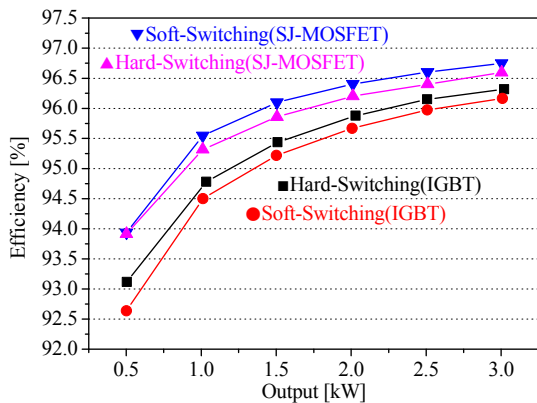


図 11 効率比較

Fig. 11. Efficiency comparison.

IGBT のみの回路の HS と SS の効率を比較すると、0.1～0.5 ポイント SS の効率が下回っている。これは、低減できるスイッチング損失より、本スナバを適用したことによる充放電電流の導通損失やスナバ、回生回路での損失が上回ったためと考えられる。これに対して、SJ-M を適用した回路の HS と SS の効率は、0.5kW の低出力では差がないものの、それ以上の出力で SS は全体的に 0.2 ポイント効率が改善されており、3kW の定格出力時に最高効率 96.8% を観測した。SJ-M を適用した回路の HS では、SJ-M 逆回復のサージ電圧を抑制するためにゲート抵抗を大きくした影響で、 $S_1$  と  $S_4$  のターンオン損失が大きい。そのため、本スナバ適用によるスイッチング損失低減が、効率改善に効果を発揮したものと考えられる。

#### 4. あとがき

本論文では、回生パッシブスナバと SJ-M を併用した NPC インバータについて検討した。検討回路の妥当性を明らかにするため、3kW のミニモデルによる実験検証を行った。以下に、その要約を示す。

- (1) 還流動作からの逆回復を生じない中間スイッチに SJ-M の適用を検討した。ハードスイッチング試験において、SJ-M では還流動作からでなくても逆回復電流が発生することを確認した。これによって発生するサージ電圧が無視できなかったため、ゲート抵抗による  $di/dt$  の制限を行い、サージ電圧を抑制した。
- (2) PSSS と Undeland スナバを組み合わせた回生回路が三相共通の回生パッシブスナバを NPC インバータに適用し、ソフトスイッチング動作、回生動作を確認した。
- (3) ソフトスイッチング試験において、本スナバ適用による  $di/dt$  の制限を行うことで、SJ-M の逆回復によるサージ電圧を抑制できることを確認した。その結果、ハードスイッチングに比べ効率を改善でき、3kW の定格出力時に最高効率 96.8% を観測した。
- (4) IGBT のみの NPC インバータを構成し、本スナバを適

用したが、ハードスイッチングより効率は下回った。また、IGBT のみの回路との効率比較から、SJ-M 適用による効率改善効果は、低出力で特に顕著となることを確認した。

## 文 献

- (1) F. Z. Peng, G. J. Su, and L. M. Tolbert : "A Passive Soft-Switching Snubber for PWM Inverters", *IEEE Trans. Power Electron.*, Vol.19, No.2, pp.363-370 (2004-3)
- (2) T. M. Undeland : "Snubbers for Pulse Width Modulated Bridge Converters with Power Transistors or GTOs", *IPEC1983*, pp.313-323 (1983)
- (3) I.-D. Kim, E.-C. Nho, H.-G. Kim, and J. S. Ko : "A Generalized Undeland Snubber for Flying Capacitor Multilevel Inverter and Converter", *IEEE Trans. Ind. Electron.*, Vol.51, No.6, pp.1290-1296 (2004-12)
- (4) K. M. Smith, Jr., and K. M. Smedley : "Lossless Passive Soft-Switching Methods for Inverters and Amplifiers", *IEEE Trans., Power Electron.*, Vol.15, No.1, pp.164-173 (2000-1)
- (5) X. He, A. Chen, H. Wu, Y. Deng, and R. Zhao : "Simple Passive Lossless Snubber for High-Power Multilevel Inverters", *IEEE Trans., Ind. Electron.*, Vol.53, No.3, pp.727-735 (2006-6)
- (6) M. M. Jovanovic, and Y. Jang : "State-Of-the-Art, Single-Phase, Active Power-Factor-Correction Techniques for High-Power Applications -An Overview", *IEEE Trans., Ind. Electron.*, Vol.52, No.3, pp.701-708 (2005-3)
- (7) S. Igarashi, Y. Nishikawa, K. Kuroki, and T. Shimizu : "Analysis of EMI Radiation Noise from a Novel Passive Energy Recovery type Soft Switching Circuit", *T.IEE Japan*, Vol.119-D, No.2, pp.234-242 (1999-2) (in Japanese)  
五十嵐征輝・西川幸廣・黒木一男・清水敏久 : 「簡易回生形ソフトスイッチング回路の動作と放射ノイズ解析」, 電学論 D, 119, 2, pp.234-242(1999-2)
- (8) H. Okayama, T. Tsuchiya, and Y. Shimomura : "Proposal of Newly Regenerative Snubber Circuit for Large Capacity 3-Level GTO Inverter System", *T.IEE Japan*, Vol.117-D, No.2, pp.189-195 (1997-2) (in Japanese)  
岡山秀夫・土谷多一郎・下村弥寿仁 : 「大容量 3 レベル GTO インバータに適用可能な全回生スナバ回路方式の提案」, 電学論 D, 117, 2, pp.189-195(1997-2)
- (9) T. Ikarashi, and S. kondo : "Study of Regenerative Passive Snubber for NPC Inverters", *JIASC' 2007*, Vol.1, pp.295-298, 2007 (in Japanese)  
五十嵐友一・近藤正示 : 「NPC インバータにおける回生パッシブスナバ回路の適用に関する一検討」, 平成 19 年電気学会産業応用部門大会, Vol.1, pp.295-298 (2007)
- (10) A. Nabae, I. Takahashi, and H. Akagi : "A New Neutral-Point-Clamped PWM Inverter", *IEEE Trans. Ind. Appl.*, Vol.17, No.5, pp.518-523 (1981-9/10)
- (11) J.-S. Lai, B. M. Song, R. Zhou, A. Hefner, D. W. Berning, and C. C. Shen : "Characteristics and Utilization of a New Class of Low On-Resistance MOS-Gated Power Device", *IEEE Trans. Ind. Appl.*, Vol.37, No.5, pp.1282-1289(2001-10)
- (12) S. Shimizu, M. Uesugi, T. Toshi, T. Endo, and H. Mochikawa : "Application and Development of High Efficient Inverter system for Air Conditioner", *JIASC' 2006*, Vol.1, pp.555-556, 2006 (in Japanese)  
清水慎也・植杉通可・利年百明・遠藤隆久・餅川宏 : 「エアコン用高効率インバータ装置の開発と実用化」, 平成 18 年電気学会産業応用部門大会, Vol.1, pp.555-556 (2007)
- (13) 電気学会・半導体電力変換システム調査専門委員会編 : 「パワーエレクトロニクス回路」, オーム社 (2000)