単相 NPC インバータの直流電源の比率と波形歪みに関する考察

佐藤 孝成，芳賀 仁，近藤 正示（長岡技術科学大学）

A Study on waveform distortion and ratio DC power supply of single-phase NPC inverter

Kousei Sato, Hitoshi Haga, and Seiji Kondo (Nagaoka University of Technology)

This paper proposes waveform improvement of single-phase NPC inverter using DC power supply with different. The ratio of input voltage is different, it can be changed freely height of multi-level waveform of step. We believe that it can reduce harmonic of output waveform in lowering the height of the step portion of the large distortion. This paper describes the obtained results it is possible to reduce the harmonic of current waveform.

キーワード：DC/AC 変換器，マルチレベルインバータ，高調波，デッドタイム
Keywords：DC/AC converter, multi-level inverter, harmonic, dead-time

1. はじめに

近年，太陽光発電システムに用いられるパワーコンディショナおよび非常用電源装置に搭載される DC/AC 変換器としてマルチレベルインバータの適用が進められている。マルチレベルインバータは出力できる電圧の種類が従来の 2 レベルインバータよりも多いことが特徴であり，電圧の変化幅が小さくなる。それに伴うメリットとして変換効率の向上，高調波の低減および受動素子の小型化による低コスト化などが挙げられる。一方，半導体素子およびキャパシタ等の部品点数が増加することがデメリットとなる。

マルチレベルインバータの回路トポロジとして，図 1 に示す NPC（Neutral-Point-Crumped）方式がある。NPC インバータの入力電圧 E_1 および E_2 の比率は 1:1 であることが一般的である。これまでに，筆者らは E_1 と E_2 の比率に着目した波形改善法を報告している。本稿では，マルチレベル波形の振幅比を変えることで電流波形の高調波を低減できる結果を実機実験により得たので報告する。

2. 単相 NPC インバータの電源と出力電圧レベル

〈2･1〉5 レベル動作と 7 レベル動作

図 1 に示す回路において，入力電圧 E_1 と E_2 の比率を変えることで出力できる最大電圧レベルも変えることができる。E_1 と E_2 の比率が同じ場合は 5 レベル，比率が異なる場合は 7 レベルの電圧を出力できる。以後，これらを 5 レベル動作と 7 レベル動作と称する。それぞれの動作時の電圧波形の簡略図を図 2，図 3 に示す。これらより，図 1 に示す回路トポロジは変えずに，E_1 と E_2 の比率を変えることで 5 レベルインバータから 7 レベルインバータとして動作させられることがわかる。更に図 1 に示す回路の段数を増加させることで出力電圧レベル数を増やすことができる。異なる直流電源を用いて，その数を a（a=2,3,4,…）とした場合の出力電圧レベル数 n は式(1)で示される。本稿では図 1 に示す回路における 7 レベル動作に重点をおいて論じる。

$$n = 3a + |a - 3| \tag{1}$$

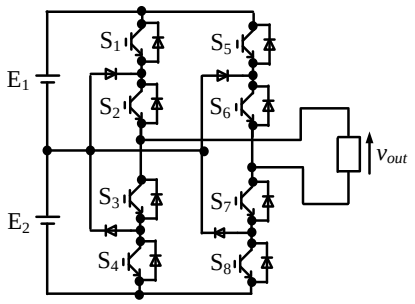


図 1　単相 NPC インバータ
Fig.1　Single-phase NPC inverter

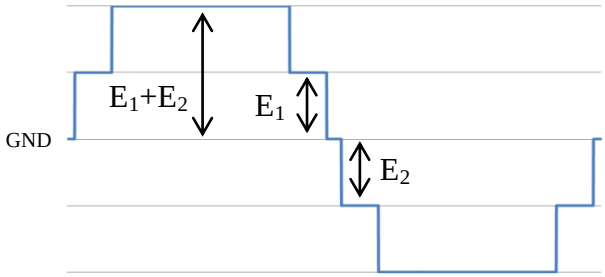


図 2　5 レベル動作（E_1:E_2=1:1）
Fig.2　5-level mode

© 2014 IEE Japan

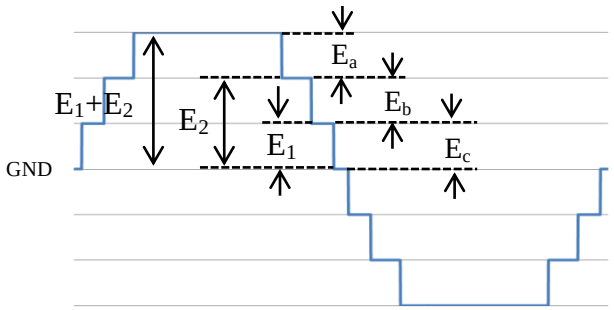


図 3　7 レベル動作（E_1:E_2=1:2）

Fig.3　7-level mode

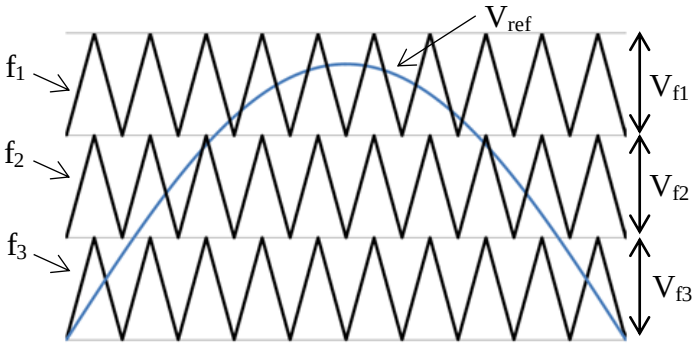


図 4　電圧指令と三角波キャリア（正の半周期）

Fig.4　Voltage reference and carrier in positive half-cycle

〈2･2〉マルチレベル波形の振幅比

本研究では PWM 変調の手法として三角波比較を用いている。図 4 に電圧指令 V_{ref} と三角波キャリア f_1，f_2，f_3 を示す。図 4 の様に一つの電圧指令を複数のキャリアと比較させている。マルチレベル波形の階段の高さ（図 3 に示す E_a，E_b，E_c）には入力電圧 E_1 と E_2 の比率と三角波キャリアの比率（図 4 に示す V_{f1}，V_{f2}，V_{f3}）により自由度を持たせることができる。図 1 に示す NPC インバータにおける 7 レベル動作では，マルチレベル波形の階段の高さ E_a，E_b，E_c は入力電圧 E_1，E_2 により式(2)～式(4)の様に決まる。

$$E_a = (E_1 + E_2) - E_2 \tag{2}$$

$$E_b = E_2 - E_1 \tag{3}$$

$$E_c = E_1 \tag{4}$$

入力電圧の合計は E_1 と E_2 の和なので E_a=E_c となる。そして，電圧指令 V_{ref} 通りの波形を得るには式(5)に示す条件を満たす必要がある。

$$E_a : E_b : E_c = V_{f1} : V_{f2} : V_{f3} \tag{5}$$

マルチレベル波形の階段の高さ E_a，E_b，E_c はスイッチング幅でもある。式(5)を満たすことはスイッチング幅とキャリア振幅の比率を同じにすることを意味する。電圧指令が負の場合においても同様であり，マルチレベル波形の階段の高さとキャリア振幅の比率は一定にする必要がある。

3.　7 レベル動作の特徴

〈3･1〉7 レベル動作の問題点

電圧形インバータには，短絡を防止するためにデッドタイムが設けられる。7 レベル動作において，デッドタイム期間のスイッチの状態が問題となる。表 1 に入力電圧 E_1，E_2 を 50V，100V とした時の 7 レベル動作のスイッチングパターン（電圧指令が正の時）を示す。電圧指令が正の場合は S_2 と S_7 は ON 状態を保つ。つまり，S_1 と S_8 の ON/OFF の組み合わせにより+0V，+50V，+100V，+150V の 4 種類の出力電圧値を切り替えていることになる。負荷に抵抗を用いた時のシミュレーション波形を図 5 および図 6 に示す。図 5 より，良好な 7 レベルの電圧波形が出力できていることが確認できる。一方，デッドタイムを設けた図 6 では破線部において，+50V から+100V または+100V から+50V に切り替わる時に 0V を経由していることが確認できる。この現象が電流波形の歪みを悪化させる原因となる。+50V と+100V のスイッチング時において，S_1 と S_8 は相補の関係となるため，S_1 と S_8 が切り替わる時にはデッドタイムが入り，その期間だけ両方 OFF 状態となる。S_1 と S_8 が OFF 状態の期間がデッドタイムにより形成されてしまうため，スイッチング時に+0V が出力されてしまう。以上が 7 レベル動作における問題点である。

表 1　7 レベル動作のスイッチングパターン

Table.1　Switching pattern of 7-level behavior

v_{out} [V]	S_1	S_2	S_7	S_8
+0		ON	ON	
+50	ON	ON	ON	
+100		ON	ON	ON
+150	ON	ON	ON	ON

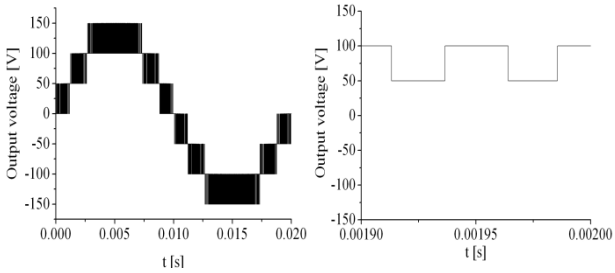


図 5　シミュレーション波形（デッドタイム：無）

Fig.5　Simulated waveform without dead-time

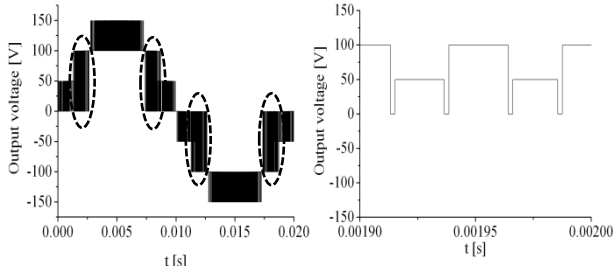


図 6　シミュレーション波形（デッドタイム：2μs）

Fig.6　Simulated waveform with dead-time (2μs)

© 2014 IEE Japan

〈3･2〉提案するデッドタイムの挿入法

7 レベル動作の問題点を改善するために，筆者らは部分的にデッドタイムレスにする方法（PDL : partial dead-time less）を提案する。2 レベルインバータには全ての領域にデッドタイムを設ける必要があるが，NPC インバータにはデッドタイムレスにできる領域がある。本稿で用いている単相 NPC インバータには短絡パターンが全部で 6 個存在する。各レグにおいて 3 個以上のスイッチが連なり ON となる場合，直流電源 E_1 または E_2 を介して短絡する。スイッチング時にこれら 6 個の短絡パターンを含まなければデッドタイムを設ける必要はなくなる。表 1 より，+50V と+100V および+100V と+150V でスイッチングする領域をデッドタイムレスにすることが可能と言える。電圧指令が負の場合も同様で，－50V と－100V および－100V と－150V でスイッチングする領域でデッドタイムレスが可能である。図 5 および図 6 と同じシミュレーション条件に PDL を適用した時のシミュレーション波形を図 7 に示す。デッドタイムレスとなる領域は図 7 に示す通りで，図 6 の様に破線部が 0V を経由していないことが確認できる。デッドタイムが挿入されるのは 0V と+50V および 0V と－50V でスイッチングする領域のみとなる。以上が提案する PDL の概略となる。図 8 に PDL を実装する際のブロック図を示す。本研究では図 4 に示す様に三角波比較により生成したスイッチングパルスを加減算し各スイッチのゲート信号としている。その際，スイッチングパルスが相補の関係且つ 0V と+50V および 0V と－50V のスイッチングに関与する部分にのみデッドタイムを挿入している。

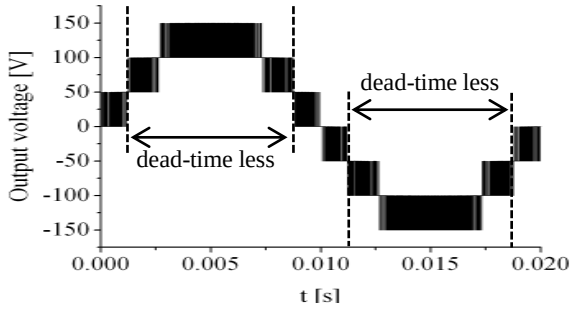


図 7　シミュレーション波形（PDL 適用時）

Fig.7　Simulated waveform with PDL

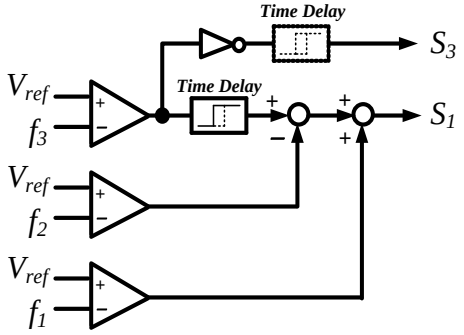


図 8　PDL を実装する際のブロック図

Fig.8　Block diagram for implementing the PDL

4.　実験結果

〈4･1〉実験方法

図 9 に実験回路，表 2 に実験条件を示す。本稿では直流電源 2 台を用いて E_1 および E_2 としている。E_1 と E_2 の電圧値は表 2 に示す通りであり，2 つの電圧の合計が 150V となるよう調整している。E_1 と E_2 の電圧値と共にキャリア振幅 V_{f1}，V_{f2}，V_{f3} も式(2)～式(4)を基に調整している。負荷には LC フィルタと抵抗負荷を用いており，LC フィルタのカットオフ周波数は約 1kHz に設計している。デッドタイムおよび変調度はそれぞれ 2μs，0.9 としている。キャリア周波数は 10kHz，15kHz，20kHz の 3 つの条件で実験した。また，実験波形としてフィルタ通過前の出力電圧 v_{out}，負荷電流 i_{out} を観測した。

〈4･2〉実験結果

図 10 に各電圧比での出力電圧および負荷電流波形，図 11 に負荷電流の THD 算出結果，図 12 に高調波解析の結果を示す。図 10 の負荷電流の THD は 50Hz の成分を基本波成分とし 1 次～40 次までを計算範囲として式(6)より算出している。図 12 の縦軸は基本波成分に対する各次数の高調波の割合をグラフ化している。

$$THD = \frac{\sqrt{I_2^{\,2} + \ldots + I_{40}^{\,2}}}{I_1} \qquad (6)$$

I_n：n 次成分の電流

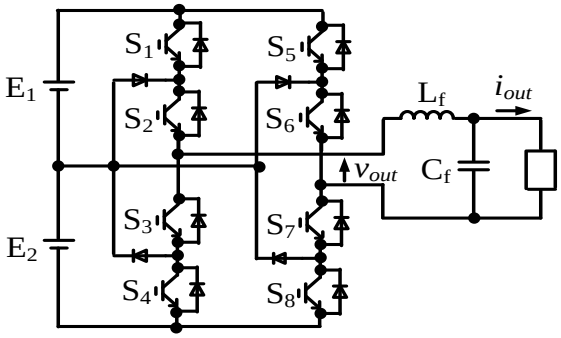


図 9　実験回路

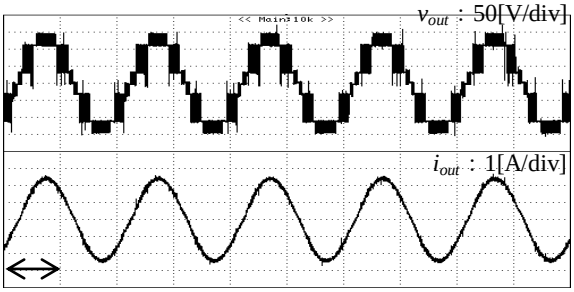
Fig.9　Experimental circuit

表 2　実験条件

Table.2　Experimental condition

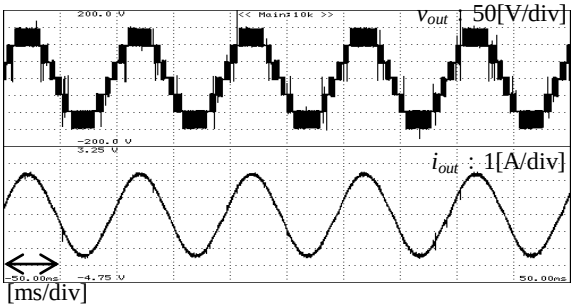
Input voltage E_1+E_2	150V
E_1	35V , 50V , 65V
E_2	115V , 100V , 85V
Output reactor L_f	1.5mH
Output capacitor C_f	14.7μF
Load	55Ω
Dead-time	2μs
Modulation ratio	0.9

© 2014 IEE Japan



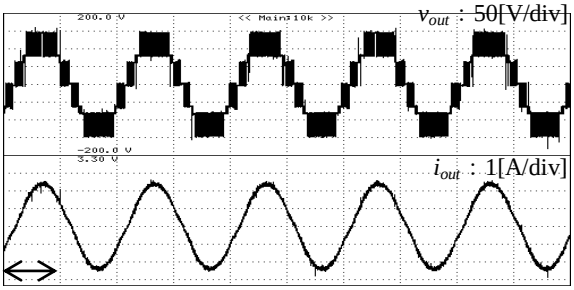
10 [ms/div]

(a) E_1=35V, E_2=115V



10 [ms/div]

(b) E_1=50V, E_2=100V



10 [ms/div]

(c) E_1=65V, E_2=85V

図 10 実験結果（キャリア周波数 f_c : 20kHz）

Fig.10 Experimental result in f_c=20kHz

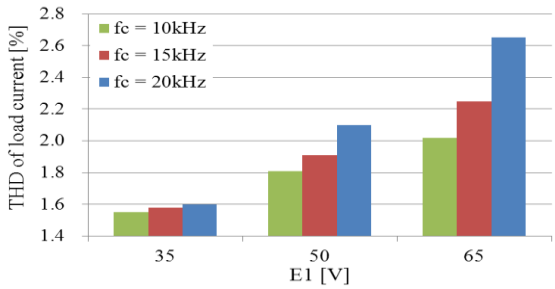


図 11 負荷電流の THD 算出結果（E_2=150－E_1）

Fig.11 Calculation result of THD in load current

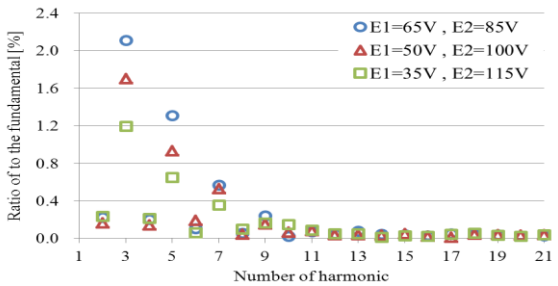


図 12 負荷電流の高調波解析結果（f_c=20kHz）

Fig.12 Analysis result of harmonic in load current

図 10 の(a)～(c)より，マルチレベル波形の振幅比に関わらず DC/AC 変換ができることが確認できる。図 10 の(b)がマルチレベル波形の振幅比が一定時の実験結果であり，図 10 の(a)と(c)は振幅比をずらした場合の結果となる。図 11 より負荷電流の THD は振幅比を一定とした時よりも図 10 の(a)の条件の方が低い結果を得た。逆に図 10 の(c)の条件では THD は悪化する。これには式(7)で与えられるデッドタイム誤差 V_d が関係してくる。

$$V_d = E_c \cdot f_c \cdot T_d \tag{7}$$

（f_c : キャリア周波数，T_d : デッドタイム）

本研究の NPC インバータには PDL により部分的にデッドタイムレスにしているため，ゼロクロス付近にのみデッドタイム誤差が発生する。デッドタイム誤差はスイッチング幅に比例するため，キャリア周波数とデッドタイムを同条件とした場合，図 4 に示す E_c がデッドタイム誤差を決める要因となる。E_c は E_1 と同じ電圧値となるので，図 10 の(a)の条件でのデッドタイム誤差が(b)の条件時よりも小さくなる。デッドタイム誤差の大きさは波形歪みにも影響してくる。デッドタイム誤差が小さい場合，デッドタイムにより削られる PWM パルスの割合が小さくなる。そのため，電流波形のゼロクロス付近の歪みが軽減され THD の改善が可能となる。また，図 11 においてキャリア周波数が増加することで THD が悪化する理由はデッドタイム誤差が増加するためであると考えられる。図 12 の高調波解析の結果より，E_c を低くしデッドタイム誤差を低減することで 3 次，5 次の高調波を低減できていることが確認できる。負荷電流の 3 次高調波と 5 次高調波の低減が NPC インバータの波形改善に貢献していると考えられる。

5. おわりに

本稿では単相 NPC インバータの波形改善に関する動作法について提案した。マルチレベル波形の振幅比には自由度を持たせることができ，その時の変調方法と入力電圧の選定法を示した。そして，実機実験によりマルチレベル波形の振幅比を変えた場合も DC/AC 変換が可能であることを確認した。更にゼロクロス付近の電圧幅を小さくし，デッドタイム誤差を小さくすることで振幅比を一定にした時よりも電流波形の THD を約 1/4 低減できることを実証した（キャリア周波数 20kHz 時）。今後は効率評価および高調波の理論解析を行う予定である。

文　　献

(1) 大隈，綾野，坂本，松井：「単相 7 レベルインバータの実験検証」，半導体電力研究会，SPC-14-28 (2014 年)

(2) 佐藤，芳賀，近藤：「異なる電圧比を有する単相 7 レベルインバータのデッドタイムの検討と実験検証」，平成 26 年電気学会全国大会，4-057 (2014 年)

(3) 綾野，松井：「単相 7 レベルインバータに関する基礎検討」，平成 24 年電気学会全国大会，4-036(2012 年)

© 2014 IEE Japan